

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076358  
 (43)Date of publication of application : 15.03.2002

(51)Int.CI. H01L 29/786  
 H01L 29/06  
 H01L 21/336

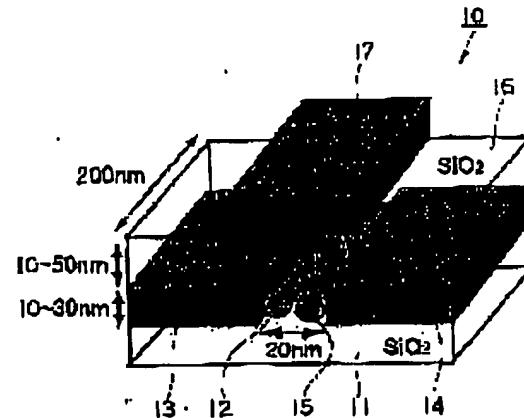
(21)Application number : 2000-265680 (71)Applicant : JAPAN SCIENCE & TECHNOLOGY CORP  
 (22)Date of filing : 01.09.2000 (72)Inventor : ODA TOSHIMICHI  
 NISHIGUCHI KATSUHIKO

## (54) SHORT CHANNEL SWITCHING ELEMENT AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a short channel switching element based on a principle of operation not causing the short channel effect and its manufacturing method.

**SOLUTION:** The short channel switching element is composed of: a source 13 and a drain 14 opposed to each other to form a microgap of 20 nm on an insulation layer 11; source 13; a large number of silicon quantum dots of 10 nm or less deposited in the microgap 12, thereby forming a channel; a second insulation layer 16 formed on the source, the drain and the microgap; and a gate 17 formed in a region corresponding to the microgap on the second insulation layer.



## LEGAL STATUS

[Date of request for examination] 01.09.2000

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76358

(P2002-76358A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.  
H 01 L 29/785  
29/06  
21/336

該別記号

F I  
H 01 L 29/06  
29/78

テ-73-ト(参考)  
5 F 1 1 0  
6 2 2  
6 1 8 2

審査請求 有 請求項の数11 O L (全 7 頁)

(21)出願番号 特開2000-265880(P2000-265880)

(22)出願日 平成12年9月1日 (2000.9.1)

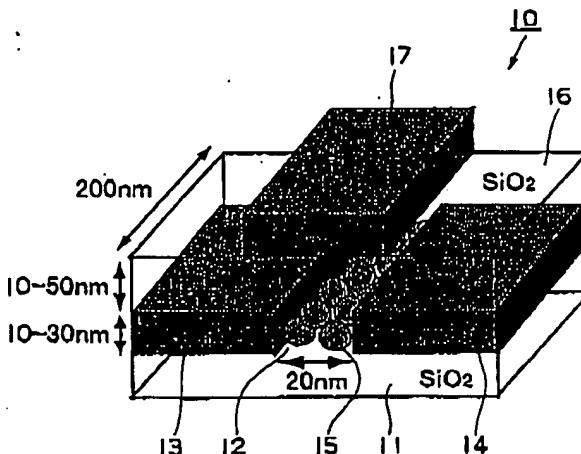
(71)出願人 398020800  
科学技術振興事業団  
埼玉県川口市本町4丁目1番8号  
(72)発明者 小田 俊理  
東京都世田谷区桜新町1-35-7  
(72)発明者 西口 克彦  
東京都大田区東雪谷4-23-2 若竹荘3  
号  
(74)代理人 100082876  
弁理士 平山 一幸 (外1名)  
Fターム(参考) 5F110 AA04 BB13 CC01 CC05 DD05  
DD13 FF02 FP29 GG02 GG18  
GG28 GG39 GG60 HK08 HK13  
HK39 QQ14

(54)【発明の名称】 短チャネルスイッチング素子及びその製造方法

## (57)【要約】

【課題】 短チャネル効果の生じない動作原理に基づく、短チャネルスイッチング素子及びその製造方法を提供する。

【解決手段】 短チャネルスイッチング素子は、絶縁層11の上に、長さ20nmの微小間隙12を形成するように、互いに対向して形成されたソース13及びドレイン14と、この微小間隙12内に堆積されたチャネルを構成する粒径10nm以下の多数のシリコン量子ドット15と、ソース、ドレン及び微小間隙の上に形成された第二の絶縁層16と、第二の絶縁層の上に、微小間隙に対応する領域に形成されたゲート17と、から構成される。



(2)

特開2002-76358

2

## 【特許請求の範囲】

【請求項1】 第一の絶縁層上に、微小間隙を形成して互いに対向したソース及びドレインと、上記微小間隙内のチャネルを構成するシリコン量子ドットと、上記ソース、ドレイン及び微小間隙の上に形成された第二の絶縁層と、この第二の絶縁層の上に、上記微小間隙に対応する領域に形成したゲートと、から成ることを特徴とする、短チャネルスイッチング素子。

【請求項2】 前記微小間隙の間隔が、10～100nmであることを特徴とする、請求項1に記載の短チャネルスイッチング素子。

【請求項3】 前記シリコン量子ドットは、5～10nmの粒径を有するナノ結晶シリコン超微粒子と、このナノ結晶シリコン超微粒子の表面を覆って形成した厚さ1～3nmの絶縁層とから構成されていることを特徴とする、請求項1に記載の短チャネルスイッチング素子。

【請求項4】 前記微小間隙の前記シリコン量子ドット間の空隙は、前記第二の絶縁層を構成する絶縁物で埋め尽くされていることを特徴とする、請求項1に記載の短チャネルスイッチング素子。

【請求項5】 前記第二の絶縁層の厚さが、10～50nmであることを特徴とする、請求項1に記載の短チャネルスイッチング素子。

【請求項6】 前記第一及び第二の絶縁層が、シリコン酸化膜であることを特徴とする、請求項1に記載の短チャネルスイッチング素子。

【請求項7】 第一の絶縁物層上にソース及びドレインを形成する工程と、このソース及びドレイン間の微小間隙にシリコン量子ドットからなるチャネルを形成する工程と、上記ソース、ドレイン及びチャネルの上に第二の絶縁層を形成する工程と、この第二の絶縁層上に電極を形成する工程と、から成ることを特徴とする、短チャネルスイッチング素子の製造方法。

【請求項8】 前記第一の絶縁物層上にソース及びドレインを形成する工程は、SIMOX基板の表面Si層であるSOIを所定の厚さにエッチングし、この層にイオン注入して所定の抵抗率のSi層を形成し、この層を電子ビームリソグラフィとECR-RIEによりエッチングして、形成することを特徴とする、請求項7に記載の短チャネルスイッチング素子の製造方法。

【請求項9】 前記ソースとドレインの間隙にシリコン量子ドットからなるチャネルを形成する工程は、前記ソース及びドレインを形成した第一の絶縁層上に上記シリコン量子ドットを堆積する方法であることを特徴とする、請求項7に記載の短チャネルスイッチング素子の製造方法。

【請求項10】 前記第二の絶縁層は、CVD法を用いて絶縁物を堆積することにより形成されることを特徴と

する、請求項7に記載の短チャネルスイッチング素子の製造方法。

【請求項11】 前記第二の絶縁層上への電極の形成は、リフトオフ法によることを特徴とする請求項7に記載の短チャネルスイッチング素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ソース及びドレイン間のチャネルにゲート電圧を印加することにより、ドレイン電流のスイッチングを行なうようにしたスイッチング素子に関し、特にチャネル間の間隔が10～100nmの短チャネルスイッチング素子に関するものである。

## 【0002】

【従来の技術】 従来、このようなスイッチング素子としては、MOSFETが知られており、このようなMOSFETは、例えば図9に示すように構成されている。図9において、MOSFET1は、p型半導体基板2上に、間隙3を挟んで、n<sup>+</sup>型のソース4及びドレイン5を形成して、その上に絶縁層6を形成し、さらにその上に、間隙3に対応した領域にゲート電極7を形成することにより構成されている。

【0003】 このような構成のMOSFET1によれば、ゲート7にゲート電圧を印加することにより、絶縁層6の真下のp型半導体層をキャリア反転層にしたり、空乏層にしたりして、ドレイン電流のスイッチングを行っている。

## 【0004】

【発明が解決しようとする課題】 ところで、近年、各種半導体デバイスの高速化、高集積化の要請に伴って微細化が進んできており、MOSFETも微細化が進められている。しかしながら、MOSFETの場合、微細化によってチャネル長が短くなると、図9において点線Aで示すように、ドレイン電圧による空乏層8がソースに接近し、空乏層8を介してソース4とドレイン5間に電流が流れてしまうといった短チャネル効果が発生する。そのため、短チャネル効果を抑制するために、従来では基板濃度を大きくして接合深さを浅くする等の空乏層の大きさを小さくする対策がとられてきた。しかしながら、チャネル長が50nmを切ると電子の波動的側面が顕著になり、もはや短チャネル効果を抑制することはできない。

【0005】 この発明は、以上の点にかんがみ、短チャネル効果の生じない新たな動作原理に基づく、短チャネルスイッチング素子及びその製造方法を提供することを目的としている。

## 【0006】

【課題を解決するための手段】 上記目的を達成するためには、本発明の短チャネルスイッチング素子は、第一の絶縁層上に、微小間隙を形成して互いに対向したソース及び

ドレインと、微小間隙内のチャネルを構成するシリコン量子ドットと、ソース、ドレイン及び微小間隙の上に形成された第二の絶縁層と、第二の絶縁層の上に、微小間隙に対応する領域に形成したゲートとからなることを特徴とする。

【0007】上記微小間隙の間隔は、好ましくは、10～100nmである。シリコン量子ドットは、好ましくは、5～10nmの粒径を有するナノ結晶シリコン超微粒子と、ナノ結晶シリコン超微粒子の表面を覆って形成した厚さ1～3nmの絶縁層とから構成されてる。上記微小間隙のシリコン量子ドット間の空隙は、第二の絶縁層を構成する絶縁物で埋め尽くされていることが好ましい。また、第二の絶縁層の厚さは、好ましくは、10～50nmである。さらに、第一及び第二の絶縁層は、好ましくは、シリコン酸化膜である。

【0008】上記構成によれば、チャネルを構成する各シリコン量子ドットがポテンシャル井戸を構成し、各シリコン量子ドット間の酸化膜バリアがポテンシャル障壁を構成する。ソース及びドレイン間に電圧を印加し、ゲート電極にゲート電圧を印加すれば、伝導電子がポテンシャル障壁を通過するトンネル確率が変化し、ゲート電極に印加される電圧によってドレイン電流が変化する。すなわち、ゲート電極の電圧を適宜に調整することにより、ドレイン電流をスイッチングできる。

【0009】また、本発明の短チャネルスイッチング素子の製造方法は、第一の絶縁物層上にソース及びドレインを形成する工程と、このソース及びドレイン間の微小間隙にシリコン量子ドットからなるチャネルを形成する工程と、上記ソース、ドレイン及びチャネルの上に第二の絶縁層を形成する工程と、第二の絶縁層上に電極を形成する工程と、から成ることを特徴とする。

【0010】上記第一の絶縁物層上にソース及びドレインを形成する工程は、好ましくは、Si-MOX基板の表面Si層であるSOIを所定の厚さにエッチングし、この層にイオン注入して所定の抵抗率のSi層を形成し、この層を、電子ビームリソグラフィとECR-RIEによりエッチングして形成する。

【0011】また、ソースとドレインの間隙にシリコン量子ドットからなるチャネルを形成する場合、ソース及びドレインを形成した第一の絶縁層上に上記シリコン量子ドットを堆積する方法によることが好ましい。また、第二の絶縁層を形成する場合、好ましくは、CVD法により絶縁物を堆積することにより形成する。さらに、第二の絶縁層上に電極を形成する工程は、好ましくは、リフトオフ法による。上記構成によれば、本発明の短チャネルスイッチング素子を製造できる。

【0012】

【発明の実施の形態】以下、図1～8に基づいて、本発明の実施の形態を説明する。図1及び図2はこの発明による短チャネルスイッチング素子の一実施形態の構成を

示している。図1において、短チャネルスイッチング素子10は、絶縁層としての基板11と、基板11上にて、微小間隙12を形成するように互いに対向して形成されたソース13及びドレイン14と、この微小間隙12内に堆積された多数のナノ結晶シリコン超微粒子である量子ドット15と、これらソース13、ドレイン14及び微小間隙12の上に堆積された第二の絶縁層としてのSiO<sub>2</sub>から成る絶縁膜16と、絶縁膜16の表面にて、微小間隙12の真上に対応する領域に形成されたゲート17と、から構成されている。

【0013】上記基板11は、例えばSiO<sub>2</sub>等から構成されており、例えば200nmの幅に選定されている。また、上記ソース13及びドレイン14は、例えばSiから構成されており、例えば厚さ30nmに選定されていると共に、その間に、長さ20nmの間隙12を形成している。ここで、ソース13及びドレイン14は、所謂SIO(Si on Insulator)を使用することにより、基板11と一緒に構成されており、後述するように適宜の形状となるようにエッチングにより成形される。

【0014】上記シリコン量子ドット15は、図3に示すように、例えば粒径10nm以下の球状のナノ結晶シリコン超微粒子からなるSi単結晶微粒子15aと、その表面を覆う、厚さ1～3nmの酸化膜(SiO<sub>2</sub>)15bとによって構成されている。そして、図2に示すように、上記間隙12内に、例えば約10<sup>12</sup>/cm<sup>2</sup>の密度で堆積されると共に、シリコン量子ドット15間、シリコン量子ドット15とドレイン及びソース間の間隙は、酸化膜16によって埋め尽くされている。ここで、上記シリコン量子ドット15は、例えばアルゴンのVHF帯プラズマ中で、SiH<sub>2</sub>ラジカル、SiH<sub>3</sub>ラジカル及びSiH<sub>n</sub><sup>+</sup>(n=0～3)イオンを生成して、SiH<sub>2</sub>ラジカルからSi単結晶微粒子の核を生成し、この核に上記SiH<sub>3</sub>ラジカル及びSiH<sub>n</sub><sup>+</sup>(n=0～3)イオンを結合させて、結晶成長させることにより得られると共に、その表面の酸化膜は、例えばO<sub>2</sub>またはN<sub>2</sub>ガス雰囲気に晒し、またはO<sub>2</sub>またはN<sub>2</sub>ガスプラズマに晒すことにより形成される。

【0015】そして、シリコン量子ドット15は、互いに隣接するシリコン量子ドット15に対して、及びソース13及びドレイン14に対して、酸化膜15bと酸化膜16を介したトンネル接合を構成している。なお、シリコン量子ドット15は真性半導体であるが、ゲート電極17から電子を注入することができ、キャリア濃度の高い半導体として動作する。

【0016】上記絶縁膜16は、例えばSiO<sub>2</sub>等から構成されており、例えば厚さ50nmに選定されている。上記ゲート17は、例えば金属等から構成されており、図3の平面図に示すように、ソース13及びドレイン14に対してそれぞれ僅かに重なるように、上記間隙

12より僅かに長く形成されている。

【0017】このような短チャネルスイッチング素子10は、図4に示す本発明による製造方法によって製造される。先ず、図4(A)に示すように、Si-MOX基板20を用意する。このSi-MOX基板20は市販のものであり、Si(100)基板21上に厚さ400nmのSiO<sub>2</sub>膜22を積層し、さらにその上に厚さ200nmのSi単結晶膜であるSOI23を積層させることにより、構成されている。続いて、図4(B)に示すように、SOI23をエッチング等により厚さ30nmに成形した後、Pイオンを $1 \times 10^{10}/\text{cm}^2$ の濃度となるようにイオン注入し、SOI23の抵抗率を例えば $5 \times 10^{-3}$ Ωに設定する。

【0018】その後、SOI23の表面に、フォトレジストを塗布して、電子ビームリソグラフィ法によりソース13及びドレイン14のパターンニングを行なった後、例えばECR-RIE (Electron Cyclotron Resonance-Reactive Ion Etching) 法により、SOI23をエッチングにより除去する。これにより、図4(C)に示すように、Si-MOX基板20のSiO<sub>2</sub>膜22上に、ソース13及びドレイン14が形成される。ソース13及びドレイン14の間隔は20nmである。続いて、図4(D)に示すように、SiO<sub>2</sub>膜22の表面全体に、粒径5~10nmのシリコン量子ドット15を密度 $10^{12}/\text{cm}^2$ で堆積させる。これにより、図1及び図3に示すように、ソース13及びドレイン14の間の間隙12内に、シリコン量子ドット15が堆積されることになる。

【0019】次に、図4(E)に示すように、SiO<sub>2</sub>膜22の表面全体に、SiO<sub>2</sub>から成る酸化膜16を膜厚50nmで堆積させる。この際、間隙12内のシリコン量子ドット15によって占有されていない間隙は、酸化膜16によって埋め尽くされる。最後に、図4(F)に示すように、上記酸化膜16の表面に導電膜を形成し、この導電膜をパターンニングすることによって、前記間隙12の上方領域にゲート17を形成すると共に、ソース13及びドレイン14の上にそれぞれソース電極13a及びドレイン電極14aを形成する。このようにして、短チャネルスイッチング素子10が完成する。

【0020】本発明による短チャネルスイッチング素子10は、以上のように構成されており、以下のように動作する。即ち、ソース13及びドレイン14間に、ドレイン14側を+としてドレイン電圧V<sub>d</sub>を印加すると、ソース13及びドレイン14の間に、複数のシリコン量子ドット15が並んでいることから、図5に示すようなエネルギー・バンド構造が構成される。

【0021】図6において、18はシリコン量子ドット15の酸化膜15bと酸化膜16によって形成される伝導電子のポテンシャル障壁を表し、15cは量子ドット

15のSi単結晶微粒子15aによって形成されるポテンシャル井戸15cを表している。ドレイン電圧V<sub>d</sub>はそれぞれのポテンシャル障壁18に分配され、それぞれのポテンシャル障壁18は、ドレイン側に向けて下降した勾配を有している。ポテンシャル障壁18のこの勾配はドレイン電圧V<sub>d</sub>を大きくすることによって大きくなり、伝導電子のポテンシャル障壁18のトンネリング確率が増大する。反対に、ドレイン電圧V<sub>d</sub>を小さくすることによって、ポテンシャル障壁18のこの勾配は小さくなり、伝導電子のポテンシャル障壁18のトンネリング確率が減少する。従って、ソースからドレインに流れる伝導電子電流は、ドレイン電圧V<sub>d</sub>によって制御することができる。

【0022】そして、各ポテンシャル障壁18の上記勾配は、図6に示すように、ゲート17にゲート電圧V<sub>g</sub>を印加することによっても変化する。ゲート17に正のゲート電圧V<sub>g</sub>が印加されたとき、点線Bで示すように各ポテンシャル障壁18の勾配が変化し、ソース14側から間隙12の中心付近まではポテンシャル障壁18の勾配が大きくなるので、この部分の伝導電子のポテンシャル障壁18のトンネリング確率が大きくなり、ソースからドレインに流れる伝導電子電流は大きくなる。したがって、ゲート17に印加するゲート電圧V<sub>g</sub>を適宜に調整することにより、ソース13及びドレイン14間を流れる電流を制御できる。

【0023】ここで、ソース13からドレイン14への伝導電子電流は、図2に示したように、複数個のシリコン量子ドット15の組に分配されて流れるため、個々の量子ドット15間に、粒径や表面の酸化膜の厚さにバラツキがあったとしても、伝導電子電流が平均化されるので、素子間のばらつきの少ない短チャネルスイッチング素子が得られる。

【0024】図7は上記短チャネルスイッチング素子10のスイッチング動作特性、即ちゲート電圧に対するドレイン電流の変化を示している。このスイッチング動作特性によれば、ドレイン電圧V<sub>d</sub>が0.1mV, 1mV, 10mV及び100mVにおいて、ゲート電圧V<sub>g</sub>を-15Vから+10Vまで変化させたとき、ドレイン14からシリコン量子ドット15であるチャネルを通してソース13に流れるドレイン電流I<sub>d</sub>は、ドレイン電圧V<sub>d</sub>が、0.1~100mVの範囲において、約 $10^{-13}$ Aから約 $10^{-9}$ ~ $10^{-6}$ A程度まで変化することが分かる。したがって、オン・オフ比が4桁から7桁の良好なスイッチング動作を確認することができた。

【0025】なお、間隙12内でチャネルを構成するシリコン量子ドット15は、密度が低いと、図8(A)に示すように、間隙12内におけるシリコン量子ドット15の数が少なくなり、シリコン量子ドット15間の酸化膜が厚くなることから、電子のトンネル確率が大幅に低下することになり、スイッチング特性が悪化する。

(5)

特開2002-76358

8

【0026】これに対して、間隙12内に堆積されたシリコン量子ドット15の密度が高いと、図8(B)に示すように、シリコン量子ドット15が間隙12からゲート電極17側に溢れ出することになり、溢れ出たシリコン量子ドット15がゲート電極17に対してシールド効果を有することから、ゲート電圧 $V_g$ によりチャネルに与えられるゲート電界が弱くなってしまう。したがって、間隙12内のシリコン量子ドット15は実質的に $10^{12}/cm^2$ の密度で間隙12内に堆積させる必要がある。

【0027】上述した実施形態においては、間隙12の長さを20nm、シリコン量子ドット15の粒径を10nm以下、絶縁膜16の厚さを50nm、ソース13及びドレイン14の厚さを30nmとしているが、これらは何れも例示である。ON及びOFFを制御するゲート電圧 $V_g$ の差を小さくするために、絶縁膜16の厚さと、ソース13及びドレイン14の厚さはできるだけ薄い方がよい。したがって、上記実施例に限らず、例えば間隙12の長さを10~100nm、シリコン量子ドット15の粒径を5~10nm、絶縁膜16の厚さを10~50nmを選定することが可能である。

【0028】

【発明の効果】以上の説明から理解されるように、本発明によれば、チャネルを構成する各シリコン量子ドットがポテンシャル井戸を構成し、各シリコン量子ドット間の酸化膜バリアがポテンシャル障壁を構成する。ソース及びドレイン間に電圧を印加してゲート電極にゲート電圧を印加すれば、伝導電子がポテンシャル障壁を通過するトンネル確率が変化し、ゲート電極に印加される電圧によってドレイン電流が変化する。すなわち、ゲート電極の電圧を適宜に調整することにより、ドレイン電流をスイッチングできる。この短チャネルスイッチング素子10の、ソース及びドレインは、例えば電子線リソグラフィーとECR-RIE法により、また第二の絶縁層はCVD法により、さらに電極はリフトオフにより、それぞれ形成できる。

【0029】さらに、ソース電極及びドレイン電極の間の間隙が、例えば10乃至100nmであって、この間隙内に粒径5乃至10nmのナノ結晶シリコン量子ドットを堆積させることにより、短チャネルスイッチング素子を構成した場合に、ゲート電極に電圧を印加したとき、従来のMOSFETの場合のように空乏層が生成されないので、短チャネル効果が発生する事なく、ゲート電極の電圧の適宜の調整によって、ソース電極・ドレイン電極間のスイッチングを確実に行なうことができ

る。また、ソース電極からドレイン電極に向かう電子が、チャネルを通過する際に、複数個のシリコン量子ドットからなる複数のチャネルを通過することにより、各シリコン量子ドットの粒径や酸化膜の厚さに多少バラツキがあったとしても、平均化されることにより、素子間のばらつきの少ない素子を得ることができる。これにより、本発明によれば、短チャネル効果の無い、短チャネルスイッチング素子及びその製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の短チャネルスイッチング素子の構成を示す概略斜視図である。

【図2】図1の短チャネルスイッチング素子の部分拡大平面図である。

【図3】本発明の短チャネルスイッチング素子を構成する量子ドットの模式図である。

【図4】本発明の短チャネルスイッチング素子の製造工程を説明する図である。

【図5】本発明の短チャネルスイッチング素子のチャネルの電子エネルギー-bandを示す概略図である。

【図6】本発明の短チャネルスイッチング素子のゲートに正の電圧を印加したときのチャネルの電子エネルギー-bandを示す概略図である。

【図7】本発明による短チャネルスイッチング素子のスイッチング動作特性を示す図である。

【図8】(A)は短チャネルスイッチング素子のチャネルにおけるシリコン量子ドットの密度が低い場合の、また、(B)は密度が高い場合の動作状態を示す模式図である。

【図9】従来のMOSFETの一例の構成を示す概略断面図である。

【符号の説明】

10	短チャネルスイッチング素子
11	第一の絶縁層
12	間隙
13	ソース
14	ドレイン
15	シリコン量子ドット
16	第二の絶縁層
17	ゲート
20	SIMOX基板
21	Si基板
22	SiO <sub>2</sub> 絶縁層
23	SOI

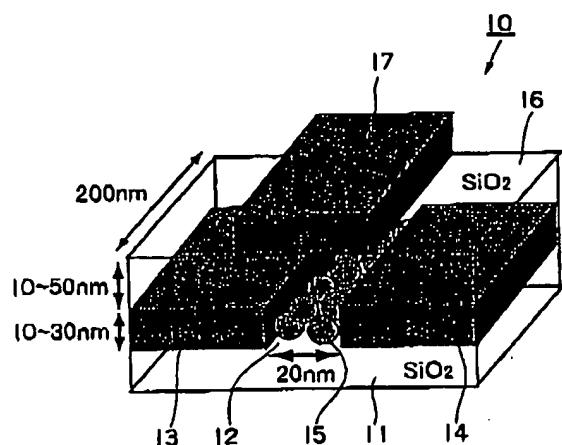
40  
20  
21  
22  
23

SIMOX基板  
Si基板  
SiO<sub>2</sub>絶縁層<sub>2</sub>  
SOI

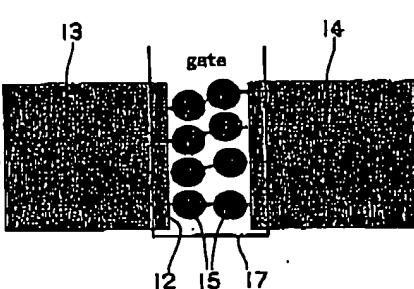
特開2002-76358

(6)

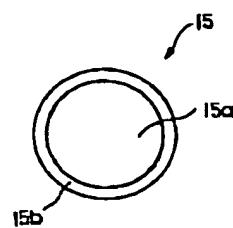
【図1】



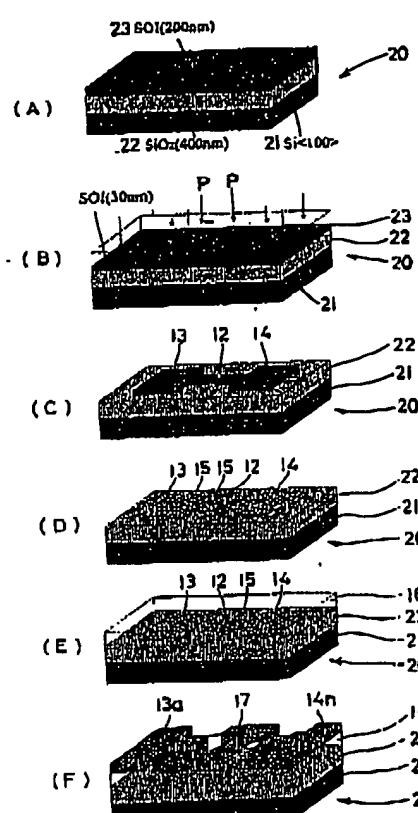
【図2】



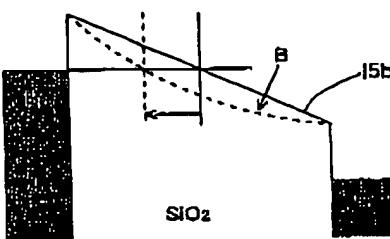
【図3】



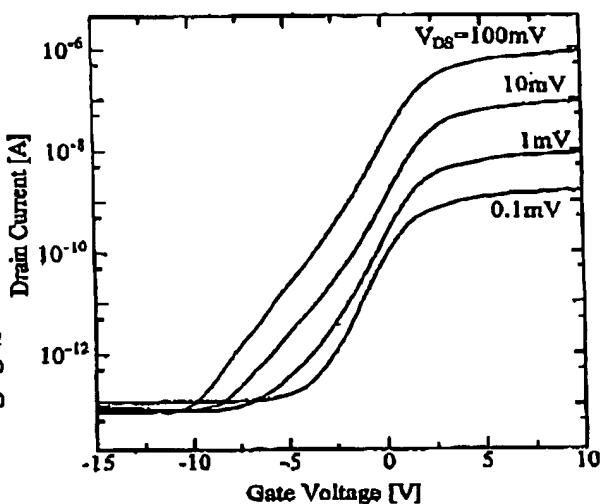
【図4】



【図5】



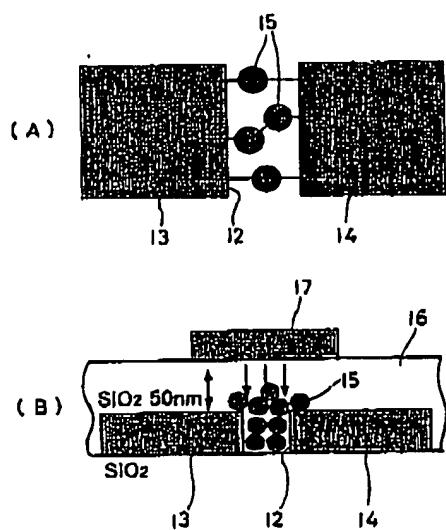
【図6】



(7)

特開2002-76358

【図8】



【図9】

